

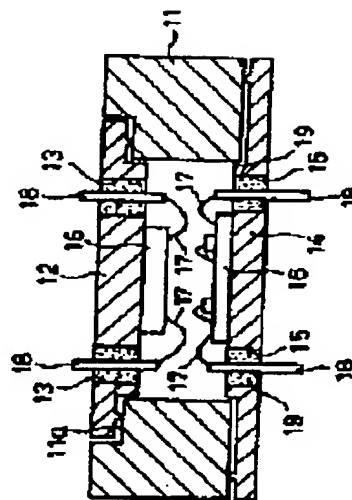
HYBRID INTEGRATED CIRCUIT DEVICE

Patent number: JP4148559
Publication date: 1992-05-21
Inventor: YOSHIDA YUKIO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L25/00; H01L25/065; H01L25/07; H01L25/18;
H01L25/00; H01L25/065; H01L25/07; H01L25/18;
(IPC1-7): H01L25/00; H01L25/065; H01L25/07;
H01L25/18
- european:
Application number: JP19900274065 19901011
Priority number(s): JP19900274065 19901011

Report a data error here

Abstract of JP4148559

PURPOSE:To increase the mounting member of integrated circuit elements within a frame by mounting a frame of which both sides are open, two caps which hermetically seal the inside of this frame and integrated circuit elements facing within the frame in both caps and by inserting lead terminals connected to these integrated circuit elements into the respective caps. **CONSTITUTION:**A first cap 12 having a peripheral edge opposed to a stepped face 11a is installed at the top of a frame 11 and comprises lead through holes 13 opened in front and rear faces. A second cap 14 having a center opposed to the first cap 12 is installed at the bottom of the frame 4, and the inside of the frame 11 is hermetically sealed by the first and second caps 12,14. This second cap 14 is provided with lead through holes opened in the front and rear faces. A plurality of integrated circuit elements 16 facing in the frame 1 are mounted on both caps 12,14. Lead terminals 18 connected to these integrated circuit elements 16 via wires 17 are inserted through the lead through holes 15 via hermetic glass 19.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A) 平4-148559

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑯ 公開 平成4年(1992)5月21日

H 01 L 25/065
25/00
25/07
25/18

A 7638-4M

7638-4M H 01 L 25/08

Z

審査請求 未請求 請求項の数 1 (全3頁)

⑰ 発明の名称 ハイブリッド集積回路装置

⑱ 特 願 平2-274065

⑲ 出 願 平2(1990)10月11日

⑳ 発 明 者 吉 田 幸 雄 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
通信機製作所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ハイブリッド集積回路装置

2. 特許請求の範囲

両側に開口する枠体と、この枠体内を気密封止する2つの蓋体と、これら両蓋体に前記枠体内に露出集積回路素子を各々実装し、これら集積回路素子に接続するリード端子を前記各蓋体に挿通させたことを特徴とするハイブリッド集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えばメタルパッケージによって集積回路素子が封止されるハイブリッド集積回路装置に関するものである。

(従来の技術)

従来、この種のハイブリッド集積回路装置は第3図に示すように構成されている。これを同図に基づいて説明すると、同図において、符号1で示すものは表裏両面に開口する複数のリード挿通孔2を有するパッケージ基体、3はこのパッケージ

基体1上に設けられ後述する集積回路素子を内蔵するキャップ状のパッケージカバー、4はこのカバー3内に収納されかつ前記パッケージ基体1上に実装された集積回路素子、5はこの集積回路素子4にワイヤ6を介して接続され前記リード挿通孔2に挿通するリード端子、7はこのリード端子5と前記パッケージ基体1のリード挿通孔2との間に介装されたハーメチックガラスである。

(発明が解決しようとする課題)

ところで、従来のハイブリッド集積回路装置においては、パッケージ基体1上にのみ集積回路素子4が実装されているため、集積回路素子4の実装数に限界が生じ、近年における高密度実装化に応じることができないという問題があった。

本発明はこのような事情に鑑みてなされたもので、集積回路素子の実装数を増加させることができ、もって近年における高密度実装化に応じることができるハイブリッド集積回路装置を提供するものである。

(課題を解決するための手段)

本発明に係るハイブリッド集積回路装置は、両側に開口する枠体と、この枠体内を気密封止する2つの蓋体と、これら両蓋体に枠体内に臨む集積回路素子を各々実装し、これら集積回路素子に接続するリード端子を各蓋体に挿通させたものである。

(作 用)

本発明においては、蓋体および枠体によって形成される空間に多数の集積回路素子を収納することができる。

(実施例)

以下、本発明の構成等を図に示す実施例によって詳細に説明する。

第1図は本発明に係るハイブリッド集積回路装置を示す断面図である。同図において、符号11で示すものは両側に開口する枠体で、上側開口端面には段状面11aが形成されている。12は前記段状面11aに対向する周縁部をもつ第1の蓋体で、前記枠体11の上方部に取り付けられている。この第1の蓋体12には、表裏両面に開口す

るリード挿通孔13が設けられている。14は前記第1の蓋体12に対向する中央部をもつ第2の蓋体で、前記枠体11の下方部に取り付けられている。そして、この第2の蓋体14および前記第1の蓋体12により前記枠体11内を気密封止するように構成されている。また、この第2の蓋体14には、表裏両面に開口するリード挿通孔15が設けられている。16は前記枠体11内に臨む複数の集積回路素子で、前記両蓋体12、14上を実装されている。これら集積回路素子16にワイヤ17を介して接続されるリード端子18は、前記リード挿通孔15にハーメチックガラス19を介して挿通されている。

このように構成されたハイブリッド集積回路装置においては、蓋体12、14および枠体11によって形成される空間に多数の集積回路素子16を収納することができるから、集積回路素子16の実装数を増加させることができる。この場合、実装密度が同一であれば、集積回路装置の小型化を図ることができる。

なお、本実施例においては、枠体11および蓋体12、14によって形成される空間が画成されていない場合を示したが、本発明はこれに限定されるものではなく、第2図に示すように枠体11内を仕切壁21によって両室11a、11bに画成しても実施例と同様の効果を奏する。この場合、仕切壁21は枠体11に一体に形成されている。

また、本発明における集積回路素子の個数は、前述した実施例に限定されるものでないことは勿論である。

(発明の効果)

以上説明したように本発明によれば、両側に開口する枠体と、この枠体内を気密封止する2つの蓋体と、これら両蓋体に枠体内に臨む集積回路素子を各々実装し、これら集積回路素子に接続するリード端子を各蓋体に挿通させたので、蓋体および枠体によって形成される空間に多数の集積回路素子を収納することができる。したがって、枠体内の集積回路素子の実装数を増加させることができるから、近年における高密度実装化を図ること

ができる。

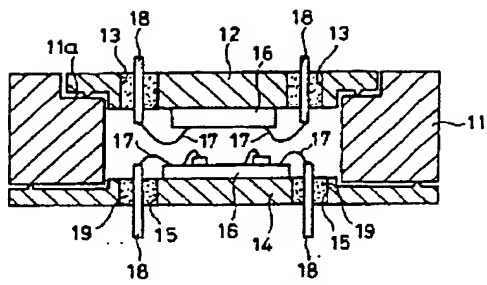
4. 図面の簡単な説明

第1図は本発明に係るハイブリッド集積回路装置を示す断面図、第2図は他の実施例を示す断面図、第3図は従来のハイブリッド集積回路装置を示す断面図である。

11・・・枠体、12・・・蓋体、13・・・リード挿通孔、14・・・蓋体、15・・・リード挿通孔、16・・・集積回路素子、18・・・リード端子。

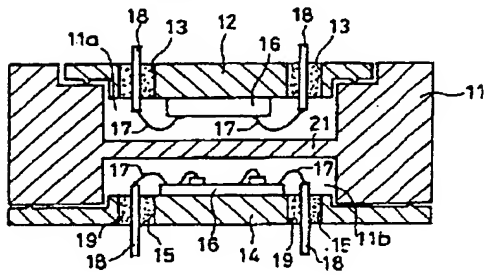
代 理 人 大 岩 増 雄

第 1 図



- 11: 基板
- 12: 芯体
- 13: リード挿通孔
- 14: 芯体
- 15: リード挿通孔
- 16: 集積回路素子
- 18: リード端子

第 2 図



第 3 図

